

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-214656

(43)Date of publication of application : 06.08.1999

(51)Int.Cl. H01L 27/108  
H01L 21/8242  
H01L 21/8234  
H01L 27/088

(21)Application number : 10-017232

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 29.01.1998

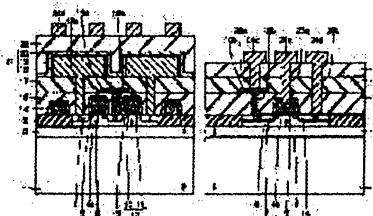
(72)Inventor : SHIMIZU MASAHIRO  
TANAKA YOSHINORI  
ARIMA HIDEAKI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

PROBLEM TO BE SOLVED: To lower the concn. of an impurity region for controlling the threshold voltage of a first transistor to enable the junction leakage current reduction, by making thicker a gate insulation film of the first transistor than that of a second transistor.

SOLUTION: A gate electrode 12 is formed through a gate insulation film 8 in a memory cell on a main surface of a p-type semiconductor substrate 1 sandwiched between source-drain regions, a gate electrode 12 is formed through a gate insulation film 9 in a peripheral circuit, the thickness of the gate insulation film 8 in the memory cell is set to be greater than that of the gate insulation film 9 in the peripheral circuit to thereby enable the concn. reduction at a p-type impurity region 4a in the memory cell. By lowering the concn. at the p-type impurity region 4a, the junction leak current can be reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-214656

(43)公開日 平成11年(1999)8月6日

(51)Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 27/108

H 0 1 L 27/10

6 8 1 F

21/8242

27/08

1 0 2 B

21/8234

27/10

6 2 1 Z

27/088

6 7 1 Z

審査請求 未請求 請求項の数14 O L (全 24 頁)

(21)出願番号 特願平10-17232

(71)出願人 000006013

三菱電機株式会社

(22)出願日 平成10年(1998)1月29日

東京都千代田区丸の内二丁目2番3号

(72)発明者 清水 雅裕

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 田中 義典

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 有馬 秀明

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

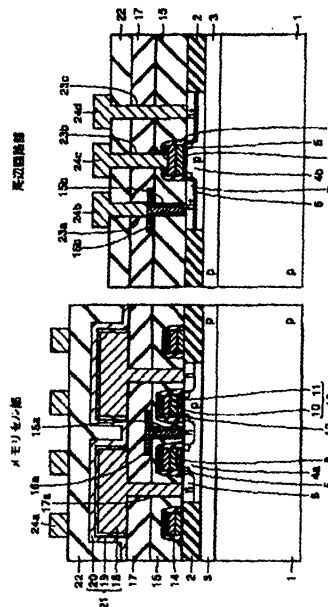
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 接合リーク電流を低減可能な半導体装置を提供する。

【解決手段】 メモリセル部内におけるゲート絶縁膜8の厚みを周辺回路部内におけるゲート絶縁膜9の厚みよりも大きくする。また、メモリセル部におけるMOSトランジスタのソース/ドレインを二重拡散層構造とし、周辺回路部におけるMOSトランジスタのソース/ドレインを三重拡散層構造にする。



(2)

1

## 【特許請求の範囲】

【請求項1】 第1の厚みのゲート絶縁膜を有し、ソース／ドレインの少なくとも一方が第1の低濃度領域と第1の高濃度領域とで構成される第1のトランジスタと、前記第1の厚みより小さい第2の厚みのゲート絶縁膜を有し、ソース／ドレインの少なくとも一方が、第2の低濃度領域と、前記第1の高濃度領域よりも高濃度の第2の高濃度領域とを含む第2のトランジスタと、を備えた半導体装置。

【請求項2】 前記第2のトランジスタのソース／ドレインの少なくとも一方は、前記第2の低濃度領域よりも高濃度で前記第2の高濃度領域よりも低濃度の中濃度領域を有する、請求項1に記載の半導体装置。

【請求項3】 前記半導体装置は、データを蓄積するためのメモリセルと、

外部との入出力を行なう周辺回路とを有し、

前記メモリセルは前記第1のトランジスタを含み、前記周辺回路は前記第2のトランジスタを含む、請求項1に記載の半導体装置。

【請求項4】 前記第2の高濃度領域の拡散深さは、前記中濃度領域の拡散深さより小さい、請求項1に記載の半導体装置。

【請求項5】 前記第1の高濃度領域と接するようにフィールド絶縁膜が形成され、前記高濃度領域と前記フィールド絶縁膜とに達するコンタクトホールを有する層間絶縁膜が前記第1と第2のトランジスタを覆うように形成され、前記コンタクトホール直下に位置する前記フィールド絶縁膜には凹部が形成され、前記凹部内と前記高濃度領域上とにストレージノードが形成される、請求項1に記載の半導体装置。

【請求項6】 主表面を有する半導体基板と、前記主表面から第1の深さの位置にピーク濃度を有する、しきい値電圧制御用の第1の不純物領域と、前記第1の不純物領域と間隔をあけて形成され、前記第1の深さよりも大きい第2の深さの位置にピーク濃度を有する、しきい値電圧制御用の第2の不純物領域と、前記第1の不純物領域上に形成され、第1の厚みのゲート絶縁膜を有する第1のトランジスタと、前記第2の不純物領域上に形成され、前記第1の厚みより小さい第2の厚みのゲート絶縁膜を有する第2のトランジスタと、を備えた半導体装置。

【請求項7】 前記第1の不純物領域下には、前記第1の不純物領域よりも低濃度の第3の不純物領域が形成され、前記第1のトランジスタは、1対の第1のソース／ドレインを有し、前記第1のソース／ドレインの少なくとも一方は、前記第3の不純物領域に達し、

2

前記第2のトランジスタは、1対の第2のソース／ドレインを有し、

前記第2のソース／ドレインの拡散深さは、前記第2の深さよりも小さい、請求項6に記載の半導体装置。

【請求項8】 第1の厚みのゲート絶縁膜と、相対的に大きい第1の拡散深さと相対的に小さい第2の拡散深さとをそれぞれ有しソース／ドレインとなる第1と第2の不純物領域とを有する第1のトランジスタと、

前記第1の厚みより小さい第2の厚みのゲート絶縁膜と、前記第1の拡散深さより小さく前記第2の拡散深さ以上の拡散深さを有しソース／ドレインとなる第3と第4の不純物領域とを有する第2のトランジスタと、を備えた半導体装置。

【請求項9】 前記第1の拡散深さの前記第1の不純物領域の濃度は、前記第2の不純物領域の濃度よりも高く、前記第1の不純物領域と接するようにフィールド絶縁膜が形成される、請求項8に記載の半導体装置。

【請求項10】 半導体基板の主表面上に形成され、第1のソース／ドレインを有する第1のトランジスタと、前記第1のトランジスタと間隔をあけて前記主表面上に形成され、第2のソース／ドレインを有する第2のトランジスタと、

前記第1と第2のトランジスタを覆い、前記第1のソース／ドレインの一方に達するコンタクトホールを有する層間絶縁膜と、

前記コンタクトホール内に形成されたプラグ電極と、前記第2のソース／ドレインの表面上に形成された第1の金属シリサイドと、

前記プラグ電極上に第2の金属シリサイドを介して形成されたビット線と、

を備えた半導体装置。

【請求項11】 半導体基板の主表面上に、相対的に厚い第1のゲート絶縁膜と相対的に薄い第2のゲート絶縁膜とを間隔をあけて形成する工程と、

前記第1のゲート絶縁膜上に第1のトランジスタの第1のゲート電極を形成し、前記第2のゲート絶縁膜上に第2のトランジスタの第2のゲート電極を形成する工程と、

前記第1と第2のゲート電極の両側に第1の濃度の第1の不純物領域を形成する工程と、

前記第1のゲート電極の少なくとも一方側に、前記第1の濃度より高い第2の濃度の第2の不純物領域を形成する工程と、

前記第2のゲート電極の少なくとも一方に、前記第2の濃度より高い第3の濃度の第3の不純物領域を形成する工程と、

を備えた、半導体装置の製造方法。

【請求項12】 半導体基板の主表面上に間隔をあけて第1と第2のトランジスタの第1と第2のゲート電極をそれぞれ形成する工程と、

50

(3)

3

前記第1と第2のゲート電極を覆うように窒化膜を形成する工程と、

前記第1と第2のトランジスタのソース/ドレインを形成する工程と、

前記窒化膜を覆うように層間絶縁膜を形成する工程と、  
前記層間絶縁膜に前記第1のトランジスタの一方の前記ソース/ドレインに達する第1のコンタクトホールを形成する工程と、

前記層間絶縁膜に前記第2のトランジスタの一方の前記ソース/ドレインに達する第2のコンタクトホールと、  
前記層間絶縁膜と前記窒化膜とを貫通して前記第2のゲート電極に達する第3のコンタクトホールとを形成する工程と、

前記第1のコンタクトホールを介して前記第1のトランジスタの一方のソース/ドレインと接続されるようにビット線を形成するとともに前記第2と第3のコンタクトホール内に延在するように第1と第2の配線を形成する工程と、

を備えた、半導体装置の製造方法。

【請求項13】 前記第2のトランジスタのソース/ドレインは、高濃度領域を有し、

前記第2のトランジスタのソース/ドレインを形成する工程は、前記高濃度領域の表面に第1の金属シリサイドを形成する工程を含み、

前記ビット線を形成する工程は、前記第1のコンタクトホール内にプラグ電極を形成する工程と、前記プラグ電極の表面に第2の金属シリサイドを形成する工程と、前記第2の金属シリサイド上に前記ビット線を形成する工程とを含む、請求項12に記載の半導体装置の製造方法。

【請求項14】 半導体基板の主表面上に第1と第2のトランジスタの第1と第2のゲート電極を間隔をあけて形成する工程と、

前記第1と第2のゲート電極の側壁を覆うように窒化膜を形成する工程と、

前記第1と第2のゲート電極の両側に、第1の不純物領域を形成する工程と、

前記第1と第2のゲート電極を覆うように層間絶縁膜を形成する工程と、

前記層間絶縁膜に前記第1のトランジスタの一方の前記第1の不純物領域と前記窒化膜とに達するコンタクトホールを形成する工程と、

前記コンタクトホールを通して前記半導体基板内に不純物を導入するにより、前記第1のトランジスタの前記一方の第1の不純物領域と重なり前記第1の不純物領域よりも高濃度の第2の不純物領域を形成する工程と、

前記コンタクトホールを介して前記第2の不純物領域と電気的に接続されるストレージノードを形成する工程と、

を備えた、半導体装置の製造方法。

4

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置およびその製造方法に関し、特に、ダイナミックランダムアクセスメモリ（以下DRAMと称する）に関するものである。

【0002】

【従来の技術】近年、半導体装置は、コンピュータなどの情報機器の目ざましい普及によって、その需要が急速に拡大している。さらに、機能的には大規模な記憶容量を有し、かつ高速動作が可能なものが要求されている。これに伴って、半導体装置の高集積化、高速応答性および高信頼性に関する技術開発が進められている。

【0003】半導体装置の中で、記憶情報のランダムな入出力が可能なものとして、DRAMがある。一般に、DRAMは、多数の記憶情報蓄積する記憶領域であるメモリスルアレイト、外部との入出力に必要な周辺回路とで構成されている。

【0004】図37には、従来のスタックタイプのメモリスルを有するDRAMが示されている。図37を参照して、p型半導体基板1の主表面にはp型不純物領域3が形成される。このp型不純物領域3上にはフィールド絶縁膜2とp型不純物領域4a、4bとがそれぞれ形成される。p型不純物領域4a、4bは、トランジスタのしきい値電圧を制御するための不純物領域である。

【0005】p型不純物領域4aの表面には、低濃度n型不純物領域5が間隔をあけて形成される。また、p型不純物領域4bの表面には、低濃度n型不純物領域5と、高濃度n型不純物領域7とが間隔をあけて形成される。

【0006】メモリスル部における半導体基板1の主表面上にはゲート絶縁膜8bを介してゲート電極12が形成され、周辺回路部における半導体基板1の主表面上にゲート絶縁膜9を介してゲート電極12が形成される。ゲート絶縁膜8、9は、等しい厚みを有する。ゲート電極12は、ポリシリコン膜10とWSi膜11とで構成される。

【0007】ゲート電極12上には、TEOS (Tetra Etyl Ortho Silicate) が形成され、ゲート電極12の側壁上にはサイドウォール絶縁膜14が形成される。ゲート電極12を覆うようにメモリスル部内から周辺回路部内に延在するように層間絶縁膜15が形成される。層間絶縁膜15にはコンタクトホール15a、15bがそれぞれ形成される。

【0008】コンタクトホール15a内から層間絶縁膜15上に延在してビット線16aが形成され、コンタクトホール15b内から層間絶縁膜15上に延在して配線層16bが形成される。ビット線16aと配線層16bとを覆うように層間絶縁膜17が形成される。その層間絶縁膜17と層間絶縁膜15とを貫通して低濃度n型不

5

純物領域5に達するようにコンタクトホール17aが形成される。

【0009】コンタクトホール17a内から層間絶縁膜17上に延在するようにストレージノード18が形成される。ストレージノード18の表面を覆うようにキャパシタ絶縁膜19が形成され、このキャパシタ絶縁膜19上にセルプレート20が形成される。このセルプレート20と、キャパシタ絶縁膜19と、ストレージノード18とでキャパシタ21が構成される。

【0010】上記のキャパシタ21と層間絶縁膜17とを覆うように層間絶縁膜22が形成される。周辺回路部において、層間絶縁膜22と層間絶縁膜17とを貫通するコンタクトホール23aと、ゲート電極12に達するコンタクトホール23bと、高濃度n型不純物領域7に達するコンタクトホール23cとが形成される。コンタクトホール23a内から層間絶縁膜22上に延在するように金属配線24bが形成され、コンタクトホール23b内から層間絶縁膜22上に延在するように金属配線24cが形成され、コンタクトホール23c内から層間絶縁膜22上に延在するように金属配線24dが形成される。メモリセル部内においては、層間絶縁膜22上に金属配線24aが形成される。

【0011】

【発明が解決しようとする課題】近年、素子の微細化が益々進展しつつあり、上記のゲート絶縁膜8b、9の厚みも薄くなってきている。それに伴い、特にメモリセル部内のトランジスタのしきい値電圧制御用のp型不純物領域4aの濃度が高くなってきている。それにより、pn接合でのリーク電流（以下単に「接合リーク電流」と称する）が増加するという問題が顕在化しつつある。

【0012】また、図37に示されるようなトレンチタイプの分離構造では、領域Aや領域Bのようなフィールド絶縁膜2の周縁部の近傍でストレスが集中しやすくなる。この場合に、メモリセル部内のトランジスタのソース/ドレインが低濃度n型不純物領域5のみにより構成されているので、接合リーク電流を十分に抑制できない。さらに、サイドウォール絶縁膜14のエッチング時のエッチングダメージも領域Aに発生しやすく、これも接合リーク電流発生の原因となる。このような接合リーク電流により、ストレージノード18に蓄積されたデータが消失することが懸念される。

【0013】さらに、しきい値電圧制御用のp型不純物領域4aの濃度が上述のように高くなることにより、低濃度n型不純物領域5のシート抵抗が高くなるという問題も生じる。

【0014】この発明は、上記のような課題を解決するためになされたものである。この発明の目的は、接合リーク電流を低減することにある。

【0015】

【課題を解決するための手段】この発明に係る半導体装

(4)

6

置は、1つの局面では、第1の厚みのゲート絶縁膜を有する第1のトランジスタと、第1の厚みより小さい第2の厚みのゲート絶縁膜を有する第2のトランジスタとを備える。第1のトランジスタのソース/ドレインの少なくとも一方が第1の低濃度領域と第1の高濃度領域とで構成される。第2のトランジスタのソース/ドレインの少なくとも一方は、第2の低濃度領域と、上記の第1の高濃度領域よりも高濃度の第2の高濃度領域とで構成される。

【0016】上記のように第1のトランジスタのゲート絶縁膜を第2のトランジスタのゲート絶縁膜よりも厚くすることにより、第1のトランジスタのしきい値電圧制御用の不純物領域の濃度を低減することができる。それにより、接合リーク電流を低減することが可能となる。また、第1のトランジスタのソース/ドレインの少なくとも一方が第1の高濃度領域を有することにより、たとえばフィールド絶縁膜がソース/ドレインと隣接して形成された場合でも従来より接合リーク電流を低減することが可能となる。さらに、上記の第1の高濃度領域を形成することにより、ソース/ドレインのシート抵抗をも低減できる。他方、第2のトランジスタは、第1の高濃度領域よりもさらに高濃度の第2の高濃度領域を有しているの、ソース/ドレインのシート抵抗を十分に低減することができる。

【0017】上記の第2のトランジスタのソース/ドレインの少なくとも一方は、第2の低濃度領域よりも高濃度で第2の高濃度領域よりも低濃度の中濃度領域を有してもよい。

【0018】上記のように中濃度領域を設けることにより、該中濃度領域により第2の高濃度領域を取囲むことが可能となる。それにより、第2の高濃度領域が導電型の異なる不純物領域と直接接することを回避でき、電界集中の発生を抑制できる。このことも、接合リーク電流低減に寄与し得る。

【0019】また、上記の半導体装置は、データを蓄積するためのメモリセルと、外部との入出力を行なう周辺回路とを有してもよい。この場合、メモリセルが第1のトランジスタを含み、周辺回路が第2のトランジスタを含むことが好ましい。

【0020】上記のようにメモリセルが第1のトランジスタを含むことにより、メモリセル部における接合リーク電流を低減することが可能となる。また、周辺回路部においては、シート抵抗の低減されたソース/ドレインを有する高性能なトランジスタが形成される。

【0021】上記の第2の高濃度領域の拡散深さ（ピーク濃度の深さ）は、中濃度領域の拡散深さより小さくすることが好ましい。

【0022】それにより、第2の高濃度領域を中濃度領域によって取囲むことができる。それにより、上述のように接合リーク電流を低減できる。

50

(5)

7

【0023】また、第1の高濃度領域と接するようにフィールド絶縁膜を形成してもよい。このとき、高濃度領域とフィールド絶縁膜とに達するコンタクトホールを有する層間絶縁膜が第1と第2のトランジスタを覆うように形成され、コンタクトホール直下に位置するフィールド絶縁膜には凹部が形成される。この凹部内と高濃度領域上とにストレージノードが形成される。

【0024】上記のように高濃度領域と接するようにフィールド絶縁膜が形成されることにより、フィールド絶縁膜の周縁部近傍における接合リーク電流を低減することが可能となる。そればかりでなく、コンタクトホール直下に位置するフィールド絶縁膜に凹部を形成することにより、ストレスが集中しやすい部分におけるフィールド絶縁膜を除去することが可能となる。このことも、接合リーク電流低減に寄与し得る。さらに、上記の凹部を設けることにより、ストレージノードと高濃度領域との接触面積を増大させることが可能となる。それにより、コンタクト抵抗を改善することも可能となる。

【0025】この発明に係る半導体装置は、他の局面では、主表面を有する半導体基板と、しきい値電圧制御用の第1と第2の不純物領域と、第1と第2のトランジスタとを備える。第1の不純物領域は、主表面から第1の深さの位置にピーク濃度を有する。第2の不純物領域は、第1の不純物領域と間隔をあけて形成され、第1の深さよりも大きい第2の深さの位置にピーク濃度を有する。第1のトランジスタは、第1の不純物領域上に形成され、第1の厚みのゲート絶縁膜を有する。第2のトランジスタは、第2の不純物領域上に形成され、第1の厚みよりも小さい第2の厚みのゲート絶縁膜を有する。

【0026】第1のトランジスタのゲート絶縁膜の厚みを第2のトランジスタのゲート絶縁膜の厚みよりも大きくすることにより、第1の不純物領域の濃度を低くすることが可能となる。それに加え、上記のように第1の不純物領域のピーク濃度を第2の不純物領域のピーク濃度よりも浅い位置に形成することにより、さらに第1の不純物領域の濃度を低くすることが可能となる。それにより、より効果的に接合リーク電流を低減することが可能となる。

【0027】上記の第1の不純物領域下には、第1の不純物領域よりも低濃度の第3の不純物領域が形成されてもよい。また、第1のトランジスタは1対の第1のソース／ドレインを有し、この第1のソース／ドレインの少なくとも一方は第3の不純物領域に達することが好ましい。第2のトランジスタは1対の第2のソース／ドレインを有し、この第2のソース／ドレインの拡散深さは第2の深さよりも小さい。

【0028】上記のように第1のソース／ドレインの少なくとも一方が第1の不純物領域よりも深い位置にまで達することにより、第1の不純物領域とソース／ドレインとの接触面積を低減できる。それにより、さらに接合

8

リーク電流を低減することが可能となる。

【0029】この発明に係る半導体装置は、さらに他の局面では、第1の厚みのゲート絶縁膜を有する第1のトランジスタと、第1の厚みよりも小さい第2の厚みのゲート絶縁膜を有する第2のトランジスタとを備える。第1のトランジスタは、相対的に大きい第1の拡散深さと相対的に小さい第2の拡散深さとをそれぞれ有しソース／ドレインとなる第1と第2の不純物領域を有する。第2のトランジスタは、第1の拡散深さより小さく第2の拡散深さ以上の拡散深さを有しソース／ドレインとなる第3と第4の不純物領域を有する。

【0030】上記のように第1のトランジスタのゲート絶縁膜の厚みを第2のトランジスタのゲート絶縁膜の厚みよりも大きくすることにより、接合リーク電流を低減することが可能となる。それに加え、第1の不純物領域のみ拡散深さを大きくしているの、第1と第2の不純物領域の双方の拡散深さを大きくした場合と比べて、微細化した場合のパンチスルー耐性の劣化が少ない。

【0031】第1の拡散深さを有する上記の第1の不純物領域の濃度は、第2の不純物領域の濃度よりも高いことが好ましい。このとき、第1の不純物領域と接するようにフィールド絶縁膜が形成されてもよい。

【0032】上記のように相対的に不純物濃度の高い第1の不純物領域を深く形成することにより、フィールド絶縁膜の周縁部を第1の不純物領域によって覆うことができる。それにより、フィールド絶縁膜の底部近傍における接合リーク電流をも低減することが可能となる。

【0033】この発明に係る半導体装置は、さらに他の局面では、第1と第2のトランジスタと、層間絶縁膜と、プラグ電極と、ビット線と、第1と第2の金属シリサイドとを備える。第1のトランジスタは、半導体基板の主表面上に形成され、第1のソース／ドレインを有する。第2のトランジスタは、第1のトランジスタと間隔をあけて主表面上に形成され、第2のソース／ドレインを有する。層間絶縁膜は、第1と第2のトランジスタを覆い、第1のソース／ドレインの一方に達するコンタクトホールを有する。プラグ電極は、コンタクトホール内に形成される。第1の金属シリサイドは、第2のソース／ドレインの表面に形成される。ビット線は、第2の金属シリサイドを介してプラグ電極上に形成される。

【0034】金属シリサイド形成のための金属膜は通常スパッタリング法により形成されるので、コンタクトホール底部において厚い金属シリサイドを形成するのは困難である。それに対し、上記のようにプラグ電極上に第2の金属シリサイドを形成することにより、第2の金属シリサイドを厚く形成できる。他方、第2のトランジスタの第2のソース／ドレインの表面にも、周知の方法で厚い金属シリサイド膜を形成することは可能である。このように厚い金属シリサイドを形成することにより、耐熱性を改善することができる。それにより、金属シリサ

(6)

9

イドがたとえば800℃程度以上の熱処理により劣化することに起因する接合リーク電流特性の劣化やコンタクト抵抗増大といった事態を回避できる。

【0035】この発明に係る半導体装置の製造方法は、1つの局面では、下記の各工程を備える。半導体基板の主表面上に、相対的に厚い第1のゲート絶縁膜と相対的に薄い第2のゲート絶縁膜とを間隔をあけて形成する。第1のゲート絶縁膜上に第1のトランジスタの第1のゲート電極を形成し、第2のゲート絶縁膜上に第2のトランジスタの第2のゲート電極を形成する。第1と第2のゲート電極の両側に第1の濃度の第1の不純物領域を形成する。第1のゲート電極の少なくとも一方側に、第1の濃度より高い第2の濃度の第2の不純物領域を形成する。第2のゲート電極の少なくとも一方側に、第2の濃度より高い第3の濃度の第3の不純物領域を形成する。

【0036】上記のように第1と第2と第3の不純物領域を形成することにより、第1のトランジスタのソース／ドレインの少なくとも一方を第1と第2の不純物領域で構成し、第2のトランジスタのソース／ドレインの少なくとも一方を第1と第3の不純物領域で構成することができる。それにより、ソース／ドレインのシート抵抗の低減された第1と第2のトランジスタが得られる。また、第1のトランジスタの第1のゲート電極の厚みを第2のトランジスタの第2のゲート絶縁膜の厚みよりも大きくすることにより、前述のように、接合リーク電流を低減できる。その結果、接合リーク電流を抑制でき、かつ高性能な半導体装置が得られる。

【0037】この発明に係る半導体装置の製造方法は、他の局面では、次の各工程を備える。半導体基板の主表面上に間隔をあけて第1と第2のトランジスタの第1と第2のゲート電極をそれぞれ形成する。第1と第2のゲート電極を覆うように窒化膜を形成する。第1と第2のトランジスタのソース／ドレインを形成する。窒化膜を覆うように層間絶縁膜を形成する。層間絶縁膜に第1のトランジスタの一方のソース／ドレインに達する第1のコンタクトホールを形成する。層間絶縁膜に第2のトランジスタの一方のソース／ドレインに達する第2のコンタクトホールと、層間絶縁膜と窒化膜とを貫通して第2のゲート電極に達する第3のコンタクトホールとを形成する。第1のコンタクトホールを介して第1のトランジスタの一方のソース／ドレインと接続されるようにビット線を形成するとともに第2と第3のコンタクトホール内に延在するように第1と第2の配線を形成する。

【0038】素子がさらに微細化されビット線とソース／ドレインとを接続する上記の第1のコンタクトホールをゲート電極に対し自己整合的に形成する場合には、第1のコンタクトホールと、第2および第3のコンタクトホールとを別工程で形成することが好ましい。それは、第1のコンタクトホール形成の際には第1のゲート電極の側壁上の窒化膜で第1のコンタクトホールの一部を規

10

定するのに対し、第3のコンタクトホールは窒化膜を貫通するように形成されるからである。上記のように第1のコンタクトホールと第2および第3のコンタクトホールとを別工程で形成することにより、各々のコンタクトホールの寸法と形状を所望のものとすることができる。そればかりでなく、第1のコンタクトホール内のみプラグ電極を形成できる。このプラグ電極を形成することにより、表面に厚い金属シリサイドを形成でき、前述のように接合リーク電流特性の悪化を効果的に抑制できる。

【0039】上記の第2のトランジスタのソース／ドレインは、高濃度領域を有し、前記第2のトランジスタのソース／ドレインを形成する工程は、高濃度領域の表面に第1の金属シリサイドを形成する工程を含んでもよい。また、上記のビット線を形成する工程は、第1のコンタクトホール内にプラグ電極を形成する工程と、プラグ電極の表面に第2の金属シリサイドを形成する工程と、この第2の金属シリサイド上にビット線を形成する工程とを含んでもよい。

【0040】上記のように、第2のトランジスタのソース／ドレインにおける高濃度領域の表面に第1の金属シリサイドを形成することにより、第2のトランジスタのソース／ドレインのシート抵抗を低減できる。また、第1のコンタクトホール内にプラグ電極を形成することにより、上述のように接合リーク電流特性の悪化を抑制できる。

【0041】この発明に係る半導体装置の製造方法は、さらに他の局面では、下記の各工程を備える。半導体基板の主表面上に第1と第2のトランジスタの第1と第2のゲート電極を間隔をあけて形成する。第1と第2のゲート電極の側壁を覆うように窒化膜を形成する。第1と第2のゲート電極の両側に、第1の不純物領域を形成する。第1と第2のゲート電極を覆うように層間絶縁膜を形成する。層間絶縁膜に第1のトランジスタの一方の第1の不純物領域と窒化膜とに達するコンタクトホールを形成する。コンタクトホールを通して半導体基板内に不純物を導入することにより第1のトランジスタの一方の第1の不純物領域と重なり第1の不純物領域よりも高濃度の第2の不純物領域を形成する。コンタクトホールを介して第2の不純物領域と電気的に接続されるストレージノードを形成する。

【0042】上記のような第2の不純物領域を形成することにより、ストレージノードと接続される側のソース／ドレインの拡散深さを選択的に大きくすることができる。それにより、第2の不純物領域が形成される側のソース／ドレインと接するようにフィールド絶縁膜が形成された場合に、効果的に接合リーク電流を低減することができる。また、第2の不純物領域が形成されない側のソース／ドレインを浅く形成できるので、パンチスルー耐性の劣化を抑制することもできる。



(7)

11

【0043】

【発明の実施の形態】以下、図1～図36を用いて、この発明の実施の形態について説明する。

【0044】（実施の形態1）まず、図1～図13を用いて、この発明の実施の形態1とその変形例について説明する。図1は、この発明の実施の形態1におけるDRAMを示す断面図である。

【0045】図1を参照して、p型半導体基板1の主表面にはトレンチが形成され、そのトレンチ内にフィールド絶縁膜2が形成されている。フィールド絶縁膜2下には、分離能力を高めるためのp型不純物領域3が形成される。p型不純物領域3上には、トランジスタのしきい値電圧を制御するためのp型不純物領域4a、4bが形成される。メモリセル部内に位置するp型不純物領域4aの不純物濃度は $10^{17} \text{ atoms/cm}^3$ 程度であり、周辺回路部内に位置するp型不純物領域4bの不純物濃度は $10^{18} \text{ atoms/cm}^3$ 程度である。

【0046】p型不純物領域4aの表面には低濃度n型不純物領域5と中濃度n型不純物領域6とで構成されるソース/ドレインが形成される。低濃度n型不純物領域5の濃度は、 $10^{16} \sim 10^{19} \text{ atoms/cm}^3$ 程度であり、中濃度n型不純物領域6の濃度は、 $10^{17} \sim 10^{20} \text{ atoms/cm}^3$ 程度である。より好ましくは、中濃度n型不純物領域6の濃度は、低濃度n型不純物領域5の濃度の3～10倍程度である。

【0047】一方、周辺回路部におけるp型不純物領域4bの表面には、3つの異なる不純物濃度の領域により構成されるソース/ドレインが形成される。具体的には、ソース/ドレインは、低濃度n型不純物領域5と、中濃度n型不純物領域6と、高濃度n型不純物領域7とを備える。高濃度n型不純物領域7の濃度は、 $10^{20} \sim 10^{21} \text{ atoms/cm}^3$ 程度である。

【0048】上記のソース/ドレインに挟まれるp型半導体基板1の主表面上に、メモリセル部内においてはゲート絶縁膜8を介してゲート電極12が形成され、周辺回路部においてはゲート絶縁膜9を介してゲート電極12が形成される。ゲート絶縁膜8の厚みは、たとえば10nm程度であり、ゲート絶縁膜9の厚みは、たとえば5nm程度である。このようにメモリセル部内におけるゲート絶縁膜8の厚みを周辺回路部内におけるゲート絶縁膜9の厚みよりも大きく設定することにより、メモリセル部内におけるp型不純物領域4aの濃度を低くすることが可能となる。それは、ゲート絶縁膜8の厚みを厚くすることによりMOSトランジスタのしきい値電圧を高めることができるからである。上記のようにp型不純物領域4aの濃度を低くすることにより、接合リーク電流を低減することが可能となる。

【0049】また、p型不純物領域4aの濃度を低くすることにより、中濃度n型不純物領域6を形成したとしても接合リークを低減できる。この中濃度n型不純物領

12

域6を形成することにより、中濃度n型不純物領域6とフィールド絶縁膜2との接触部近傍におけるリーク電流を低減することが可能となる。そればかりでなく、メモリセル部内におけるソース/ドレインのシート抵抗をも低減できる。それにより、メモリセル部内において高性能かつ高信頼性のMOSトランジスタが形成される。

【0050】周辺回路部においては、MOSトランジスタのソース/ドレインが高濃度n型不純物領域7を有しているため、しきい値電圧制御用のp型不純物領域4bの濃度が高濃度であっても、ソース/ドレインのシート抵抗を低減できる。そのため、MOSトランジスタのパフォーマンスの劣化を抑制できる。さらに、図1に示されるように、高濃度n型不純物領域7の拡散深さが、中濃度n型不純物領域6の拡散深さよりも小さくなっている。それにより、高濃度n型不純物領域7を取囲むように中濃度n型不純物領域6を形成できる。その結果、電界集中を抑制でき、周辺回路部における接合リーク電流をも低減できる。

【0051】上記のゲート電極12上には、TEOS酸化膜13が形成され、ゲート電極12の側壁にはサイドウォール絶縁膜14が形成される。そして、ゲート電極12を覆うように層間絶縁膜15が形成される。層間絶縁膜15にはコンタクトホール15a、15bが設けられ、コンタクトホール15a内にはビット線16aが延在し、コンタクトホール15b内には配線層16bが延在する。ビット線16aと配線層16bは、たとえばWSiとポリシリコンとの積層構造により構成される。

【0052】ビット線16aと配線層16bとを覆うように層間絶縁膜17が形成される。層間絶縁膜17と層間絶縁膜15とを貫通して中濃度n型不純物領域6に達するようにコンタクトホール17aが形成される。コンタクトホール17a内から層間絶縁膜17上に延在するようにストレージノード18が形成される。ストレージノード18を覆うようにキャパシタ絶縁膜19が形成され、キャパシタ絶縁膜19上にセルプレート20が形成される。このセルプレート20とキャパシタ絶縁膜19とストレージノード18によってキャパシタ21が構成される。

【0053】キャパシタ21を覆うように層間絶縁膜17上に層間絶縁膜22が形成される。メモリセル部内に位置する層間絶縁膜22上には金属配線24aが形成される。周辺回路部においては、層間絶縁膜22と層間絶縁膜17とを貫通するコンタクトホール23aと、ゲート電極12に達するコンタクトホール23bと、高濃度n型不純物領域7に達するコンタクトホール23cとが形成される。コンタクトホール23a～23c内から層間絶縁膜22上に延在するように金属配線24b～24dが形成される。

【0054】次に、図2～図8を用いて、図1に示されるDRAMの製造方法について説明する。図2～図8

(8)

13

は、図1に示されるDRAMの製造工程の特徴的な第1工程～第7工程を示す断面図である。

【0055】図2を参照して、p型半導体基板1の主表面にトレンチを形成し、その中にシリコン酸化膜等の絶縁膜を埋込むことによりフィールド絶縁膜2を形成する。その後、イオン注入法等を用いてp型不純物領域3、4a、4bをそれぞれ形成する。その後、熱酸化法等を用いて、全面にシリコン酸化膜25を形成する。シリコン酸化膜25の厚みは、7～8nm程度である。

【0056】次に、図3に示されるように、シリコン酸化膜25を選択的にエッチングすることにより、周辺回路部に形成されたシリコン酸化膜25を除去する。その後、再び熱酸化法等を用いて、5nm程度の厚みのシリコン酸化膜を形成する。それにより、図4に示されるように、メモリセル部においては10nm程度の厚みのゲート絶縁膜8を形成し、周辺回路部においては5nm程度の厚みのゲート絶縁膜9を形成する。

【0057】次に、図5を参照して、ポリシリコン膜10とWSi膜11とTEOS酸化膜13とを順次堆積し、それらをパターニングする。それにより、ゲート電極12が形成される。その後、たとえばリンイオンをドーズ量 $5 \times 10^{12} \sim 5 \times 10^{13} \text{ atoms/cm}^2$ 、5～50keVの条件で半導体基板1中に注入する。それにより、メモリセル部内と周辺回路部内とに低濃度n型不純物領域5を形成する。

【0058】次に、図6を参照して、ゲート電極12の側壁上にサイドウォール絶縁膜14を形成した後、たとえばリンイオンをドーズ量 $3 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ 、10～100keVの条件で半導体基板1中に注入する。それにより、中濃度n型不純物領域6を、メモリセル部内と周辺回路部内とにそれぞれ形成する。それにより、従来例のように低濃度n型不純物領域5のみでは不十分であったフィールド絶縁膜2の周縁部近傍の領域Aにおける、ストレスやサイドウォール絶縁膜14のエッチングの際のダメージに起因するリーク電流を低減することが可能となる。

【0059】次に、図7を参照して、周辺回路部にのみ1対の高濃度n型不純物領域7を形成する。このとき、高濃度n型不純物領域7の拡散深さが、中濃度n型不純物領域6の拡散深さよりも小さくなるようにn型不純物のドーズ量あるいは注入エネルギーを制御する。それにより、図7に示されるように、中濃度n型不純物領域6によって取囲まれる高濃度n型不純物領域7を形成できる。

【0060】次に、図8を参照して、半導体基板1の主表面上全面に層間絶縁膜15を形成し、それにコンタクトホール15a、15bをそれぞれ形成する。その後、ビット線16aと配線層16bとを形成する。

【0061】次に、ビット線16aおよび配線層16bを覆うように層間絶縁膜17を形成し、メモリセル部内

14

にコンタクトホール17aを形成する。そして、ストレージノード18とキャパシタ絶縁膜19とセルプレート20とを順次形成した後、層間絶縁膜22を形成する。次に、周辺回路部においてコンタクトホール23a～23cを形成し、金属配線24a～24dを形成する。以上の工程を経て図1に示されるDRAMが形成されることとなる。

【0062】次に、図9～図13を用いて、上記の実施の形態1の変形例について説明する。まず図9と図10を用いて、ゲート絶縁膜8、9の製造方法の変形例について説明する。上記の実施の形態1では、シリコン酸化膜を二度形成することにより厚みの異なるゲート絶縁膜8、9を形成した。しかし、図9に示されるように、シリコン酸化膜25をパターニングした後、シリコン窒化酸化膜33を形成してもよい。このシリコン窒化酸化膜33は、窒素を含むガスで成膜することにより形成できる。

【0063】その後は上記の実施の形態1の場合と同様の工程を経て図10に示されるように、ゲート絶縁膜8aを有するMOSトランジスタと、ゲート絶縁膜9aを有するMOSトランジスタがメモリセル部内と周辺回路部内とにそれぞれ形成される。上記のようにシリコン窒化酸化膜をゲート絶縁膜として採用することにより、信頼性の高いゲート絶縁膜8a、9aが得られる。

【0064】次に、図11を用いて、他の変形例について説明する。図11に示されるように、本変形例では、しきい値電圧制御用のp型不純物領域4a1の拡散深さを、周辺回路部におけるp型不純物領域4bの拡散深さよりも浅くしている。それにより、p型不純物領域4a1のピーク濃度をさらに低くすることが可能となる。その結果、接合リーク電流をさらに低減することが可能となる。また、p型不純物領域4a1の濃度を低減することにより、低濃度n型不純物領域5のシート抵抗も低減できる。

【0065】さらに、p型不純物領域4a1の拡散深さを、中濃度n型不純物領域6の拡散深さよりも小さくすることにより、中濃度n型不純物領域6は、p型不純物領域4a1下に位置するさらなる低濃度のp型不純物領域内に延在することとなる。それにより、さらに接合リーク電流を低減できる。

【0066】なお、しきい値電圧制御用不純物は、ゲート絶縁膜8、9を形成した後や、ゲート電極12を形成した後に注入してもよい。また、周辺回路部においてゲート絶縁膜の厚みを変えてもよい。周辺回路部においてゲート絶縁膜の厚みを変えることにより、同一チャネル注入量で異なるしきい値電圧のMOSトランジスタを形成することができる。

【0067】また、上述の実施の形態1では、周辺回路部にnチャネルMOSトランジスタを形成する場合について説明を行なったが、周辺回路部におけるpチャネル

(9)

15

MOSトランジスタは次のようにして形成できる。

【0068】図12を参照して、nウェル領域26の表面にn型不純物領域27、28をそれぞれ形成する。n型不純物領域28の表面に、上述の実施の形態1の場合と同様の方法で低濃度n型不純物領域5と中濃度n型不純物領域6とを形成する。

【0069】次に、図13を参照して、p型の不純物を半導体基板1中に注入することにより、ソース/ドレインとなる1対の高濃度p型不純物領域29を形成する。

【0070】上記のようにしてpチャネルMOSトランジスタを形成することにより、低濃度n型不純物領域5と中濃度n型不純物領域6との形成の際にpチャネルMOSトランジスタ形成領域を覆うマスクを形成する必要がなくなる。それにより、製造プロセスを簡略化できる。また、図13に示されるように、高濃度p型不純物領域29の拡散深さを中濃度n型不純物領域6の拡散深さよりも小さくすることにより、パンチスルー耐性を改善することができる。

【0071】(実施の形態2) 次に、図14～図18を用いて、この発明の実施の形態2とその変形例について説明する。図14は、この発明の実施の形態2におけるDRAMを示す断面図である。

【0072】図14を参照して、本実施の形態2では、メモリセル部内におけるMOSトランジスタのソース/ドレインの一方が低濃度n型不純物領域5のみにより構成され、ソース/ドレインの他方が低濃度n型不純物領域5と中濃度n型不純物領域6aとで構成されている。また、周辺回路部におけるMOSトランジスタのソース/ドレインが、低濃度n型不純物領域5と高濃度n型不純物領域7とで構成されている。それ以外の構造に関しては図1に示される場合と同様である。

【0073】図14に示されるように、ビット線16aと接続される側のソース/ドレインを低濃度n型不純物領域5のみにより構成しているため、実施の形態1の場合と比べて接合容量を低減することができるばかりでなく、パンチスルー耐性をも改善できる。さらに、実施の形態1の場合と同様に、領域A近傍におけるリーク電流を低減することも可能となる。

【0074】次に、図15～図17を用いて、図14に示されるDRAMの製造方法について説明する。図15～図17は、図14に示されるDRAMの製造工程の特徴的な第1工程～第3工程を示す断面図である。

【0075】図15を参照して、実施の形態1と同様の工程を経て低濃度n型不純物領域5までを形成する。その後、サイドウォール絶縁膜14を形成し、周辺回路部にのみ高濃度n型不純物領域7を形成する。このとき、周辺回路部の高濃度n型不純物領域7は、ヒ素とリンとの両方を注入することにより形成されてもよい。それにより、サイドウォール絶縁膜14下のソース/ドレインのシート抵抗を低減できる。

16

【0076】次に、図16に示されるように、実施の形態1の場合と同様の方法でビット線16aと配線層16bまでを形成する。そして、ビット線16aを覆うように層間絶縁膜17を形成し、図17に示すように、コンタクトホール17aを形成する。このコンタクトホール17aを通して、リンイオンをドーズ量 $3 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ 、30～200keVの条件で注入する。それにより、中濃度n型不純物領域6aを形成する。その後は実施の形態1の場合と同様の工程を経て図14に示されるDRAMが形成されることとなる。

【0077】次に、図18を用いて、本実施の形態2の変形例について説明する。図18は、本変形例におけるDRAMを示す断面図である。

【0078】図18を参照して、本変形例では、p型不純物領域4a1が、p型不純物領域4bよりも浅い位置に形成されている。このとき、ビット線16aと接続されるソース/ドレインが低濃度n型不純物領域5のみにより構成されているため、図11に示される場合よりもさらに接合リーク電流を低減することができる。

【0079】(実施の形態3) 次に、図19と図20を用いて、この発明の実施の形態3について説明する。図19は、この発明の実施の形態3におけるDRAMを示す断面図である。

【0080】図19を参照して、本実施の形態3では、実施の形態2における中濃度n型不純物領域6aの下にまで延在するように高濃度n型不純物領域7aが形成されている。この高濃度n型不純物領域7aの濃度は、 $10^{18} \sim 10^{20} \text{ atoms/cm}^3$ 程度であり、中濃度n型不純物領域6aの濃度よりも高くなるように設定される。また、高濃度n型不純物領域7aは、フィールド絶縁膜2の底部にまで達するように形成される。

【0081】上記のような高濃度n型不純物領域7aを設けることにより、図19における領域B近傍におけるリーク電流をも低減することが可能となる。それにより、上述の実施の形態2の場合よりもさらにリーク電流を低減することが可能となる。

【0082】次に、図20を用いて、図19に示されるDRAMの製造方法について説明する。図20は、図19に示されるDRAMの製造工程中の特徴的な工程を示す断面図である。

【0083】図20を参照して、上述の実施の形態2の場合と同様の工程を経て中濃度n型不純物領域6aまでを形成する。その後、コンタクトホール17aを通してリンイオンをドーズ量 $3 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ 、30～200keVの条件で注入する。それにより、中濃度n型不純物領域6a下に延在する高濃度n型不純物領域7aが形成される。それ以降は実施の形態1の場合と同様の工程を経て図19に示されるDRAMが形成される。

(10)

17

【0084】(実施の形態4)次に、図21～図24を用いて、この発明の実施の形態4について説明する。図21は、この発明の実施の形態4におけるDRAMを示す断面図である。

【0085】図21を参照して、本実施の形態4では、ゲート電極12を覆うように薄いシリコン酸化膜31が形成され、その上にシリコン窒化膜30が形成されている。そして、ビット線16a1が、W/TiN/Ti等の金属により構成されている。また、ビット線16a1と中濃度n型不純物領域6との間にはチタンシリサイド膜32が形成されている。

【0086】周辺回路部では、ビット線16a1と同様の材質からなる配線層16b1、16cがそれぞれ形成される。そして、配線層16b1と高濃度n型不純物領域7との間にもチタンシリサイド膜32が形成される。また、金属配線24cは、配線層16cを介してゲート電極12と接続される。それ以下の構造に関しては、図1に示される場合と同様である。

【0087】本実施の形態4では、図21に示されるように、ゲート電極12を覆うようにシリコン窒化膜30が形成されている。このシリコン窒化膜30は、ビット線16a1と中濃度n型不純物領域6との接続のためのものである。このようなシリコン窒化膜30を設けることにより、さらなる微細化に対応できる。

【0088】また、ビット線16a1あるいは配線層16b1とソース/ドレインとのコンタクト部にチタンシリサイド膜32を形成することにより、コンタクト抵抗を安定化することができる。このとき、チタンシリサイド膜32を、中濃度n型不純物領域6の表面あるいは高濃度n型不純物領域7の表面上に形成することにより、低濃度不純物領域の表面にチタンシリサイド膜32を形成する場合と比べてリーク電流を低減することが可能となる。

【0089】次に、図22～図24を用いて、図21に示されるDRAMの製造方法について説明する。図22～図24は、図21に示されるDRAMの製造工程の特徴的な第1工程～第3工程を示す断面図である。

【0090】図22を参照して、実施の形態1と同様の工程を経てゲート絶縁膜8、9までを形成する。そして、ポリシリコン膜、WSi膜、シリコン酸化膜およびシリコン窒化膜を順次堆積し、これらをパターニングする。その後、実施の形態1の場合と同様の方法で低濃度n型不純物領域5を形成する。次に、ゲート電極12の側壁上にシリコン酸化膜31を形成し、その上にシリコン窒化膜30を形成する。それにより、図22に示されるシリコン窒化膜30が形成される。そして、このシリコン窒化膜30をマスクとして用いて、実施の形態1の場合と同様の方法で中濃度n型不純物領域6と高濃度n型不純物領域7とを形成する。その後、層間絶縁膜15を形

18

成し、メモリセル部内のみコンタクトホール15a1を形成する。

【0091】次に、図23を参照して、周辺回路部にコンタクトホール15b、15cをそれぞれ形成する。このように、メモリセル部におけるコンタクトホール15a1と周辺回路部におけるコンタクトホール15b、15cを別工程で形成することにより、自己整合的に形成されるコンタクトホール15a1と、コンタクトホール15cの寸法と形状をよりよく制御できる。

【0092】次に、図24を参照して、チタン膜と、TiN膜と、W膜とを順次形成し、熱処理を施す。それにより、半導体基板1と接する部分にチタンシリサイド膜32が形成される。その後、上記の積層構造をパターニングする。それにより、ビット線16a1と、配線層16b1、16cとが形成される。それ以降は実施の形態1の場合と同様の工程を経て図21に示されるDRAMが形成されることとなる。なお、ビット線16a1直下に位置する中濃度n型不純物領域6の代わりに、中濃度n型不純物領域6aを形成してもよい。

【0093】(実施の形態5)図25～図33を用いて、この発明の実施の形態5とその変形例について説明する。図25は、この発明の実施の形態5におけるDRAMを示す断面図である。

【0094】図25を参照して、本実施の形態5では、コンタクトホール15a内にポリシリコンプラグ36が形成され、このポリシリコンプラグ36上にチタンシリサイド膜37を介してビット線16a2が形成されている。ビット線16a2は、ビット線16a1と同様の材質からなる。

【0095】他方、周辺回路部では、高濃度n型不純物領域7の表面にチタンシリサイド膜35が形成されている。そして、金属配線24cが直接ゲート電極12と接続されている。それ以外の構造に関しては図21に示される場合と同様である。

【0096】上記のようにポリシリコンプラグ36上にチタンシリサイド膜37を形成することにより、図21に示されるチタンシリサイド膜32の場合よりも厚いチタンシリサイド膜を形成できる。それは、通常チタンシリサイド膜32を形成するためのチタン膜がスパッタリング法により形成されるため、コンタクトホール15a1底部において厚く形成するのが困難だからである。また、周辺回路部においても、同様の理由でチタンシリサイド膜35の厚みを実施の形態4の場合よりも厚く形成できる。上記のようにチタンシリサイド膜35、37を厚く形成することにより、後の工程で800℃程度以上の熱処理を行なった場合にチタンシリサイド膜が凝集して接合リーク電流が増大することやコンタクト抵抗が増大することを効果的に抑制することが可能となる。

【0097】なお、図25において、ポリシリコンプラグ36直下の中濃度n型不純物領域6を省略してもよ

(12)

21

リーク電流を低減することが可能となる。そればかりでなく、ストレージノードと中濃度n型不純物領域6aとの接触面積を増大させることができるので、コンタクト抵抗をも改善できる。

【0113】以上のようにこの発明の実施の形態について説明を行なったが、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0114】

【発明の効果】以上説明したように、この発明によれば、接合リーク電流を低減できる。それにより、信頼性の高い半導体装置が得られる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1におけるDRAMを示す断面図である。

【図2】 図1に示されるDRAMの製造工程の特徴的な第1工程を示す断面図である。

【図3】 図1に示されるDRAMの製造工程の特徴的な第2工程を示す断面図である。

【図4】 図1に示されるDRAMの製造工程の特徴的な第3工程を示す断面図である。

【図5】 図1に示されるDRAMの製造工程の特徴的な第4工程を示す断面図である。

【図6】 図1に示されるDRAMの製造工程の特徴的な第5工程を示す断面図である。

【図7】 図1に示されるDRAMの製造工程の特徴的な第6工程を示す断面図である。

【図8】 図1に示されるDRAMの製造工程の特徴的な第7工程を示す断面図である。

【図9】 実施の形態1の変形例における特徴的な第1工程を示す断面図である。

【図10】 実施の形態1の変形例における特徴的な第2工程を示す断面図である。

【図11】 実施の形態1の他の変形例を示す断面図である。

【図12】 周辺回路部にpチャネルMOSトランジスタを形成する場合の第1工程を示す断面図である。

【図13】 周辺回路部にpチャネルMOSトランジスタを形成する場合の第2工程を示す断面図である。

【図14】 この発明の実施の形態2におけるDRAMを示す断面図である。

【図15】 図14に示されるDRAMの製造工程の特徴的な第1工程を示す断面図である。

【図16】 図14に示されるDRAMの製造工程の特徴的な第2工程を示す断面図である。

【図17】 図14に示されるDRAMの製造工程の特徴的な第3工程を示す断面図である。

【図18】 実施の形態2の変形例におけるDRAMを

22

示す断面図である。

【図19】 この発明の実施の形態3におけるDRAMを示す断面図である。

【図20】 実施の形態3におけるDRAMの特徴的な製造工程を示す断面図である。

【図21】 この発明の実施の形態4におけるDRAMを示す断面図である。

【図22】 図21に示されるDRAMの製造工程の特徴的な第1工程を示す断面図である。

10 【図23】 図21に示されるDRAMの製造工程の特徴的な第2工程を示す断面図である。

【図24】 図21に示されるDRAMの製造工程の特徴的な第3工程を示す断面図である。

【図25】 この発明の実施の形態5におけるDRAMを示す断面図である。

【図26】 図25に示されるDRAMの製造工程の特徴的な第1工程を示す断面図である。

【図27】 図25に示されるDRAMの製造工程の特徴的な第2工程を示す断面図である。

20 【図28】 図25に示されるDRAMの製造工程の特徴的な第3工程を示す断面図である。

【図29】 図25に示されるDRAMの製造工程の特徴的な第4工程を示す断面図である。

【図30】 図25に示されるDRAMの製造工程の特徴的な第5工程を示す断面図である。

【図31】 チタンシリサイド膜の形成方法の変形例における第1工程を示す断面図である。

【図32】 チタンシリサイド膜の形成方法の変形例における第2工程を示す断面図である。

30 【図33】 チタンシリサイド膜の形成方法の他の変形例を示す断面図である。

【図34】 この発明の実施の形態6におけるDRAMのメモリセル部の平面図である。

【図35】 この発明の実施の形態6におけるDRAMを示す断面図である。

【図36】 図35に示されるDRAMの変形例を示す断面図である。

【図37】 従来のDRAMの一例を示す断面図である。

40 【符号の説明】

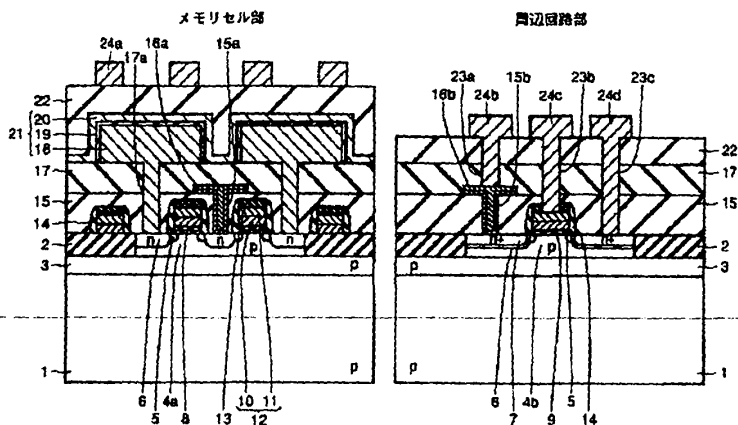
1 p型半導体基板、2 フィールド絶縁膜、3、4 a、4a1、4b p型不純物領域、6、6a、6b 中濃度n型不純物領域、5 低濃度n型不純物領域、7、7a 高濃度n型不純物領域、8、9、8a、8b、9a ゲート絶縁膜、10 ポリシリコン膜、11 WSi膜、12 ゲート電極、13 TEOS酸化膜、14 サイドウォール絶縁膜、15、17、22 層間絶縁膜、15a、15b、15c、15a1、17a、23a、23b、23b1、23cコンタクトホール、16a、16a1、16a2 ビット線、16b、

(13)

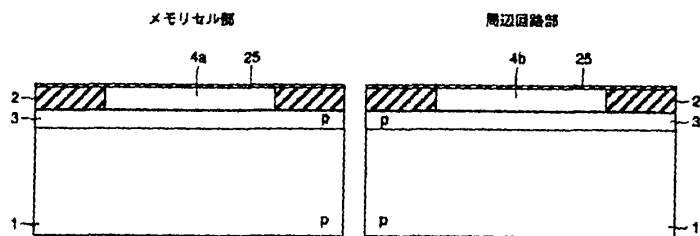
23  
16b1, 16c 配線層、18 ストレージノード、  
19 キャパシタ絶縁膜、20セルプレート、21 キ  
ャパシタ、24a~24d 金属配線、30 シリコン

24  
窒化膜、32, 35, 37 チタンシリサイド膜、33  
シリコン窒化酸化膜、34 チタン膜、36 ポリシ  
リコンプラグ、38 凹部、39 素子形成領域。

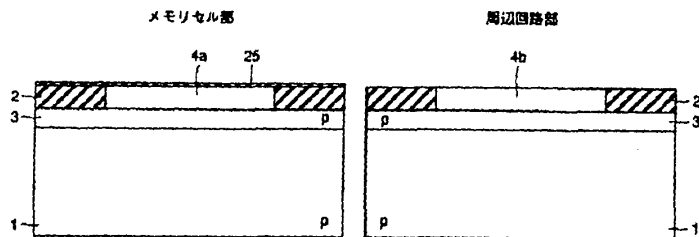
【図1】



【図2】

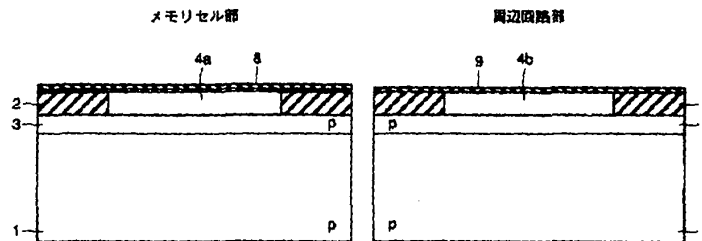


【図3】

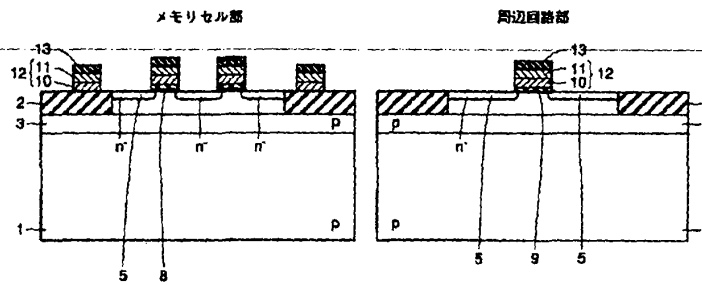


(14)

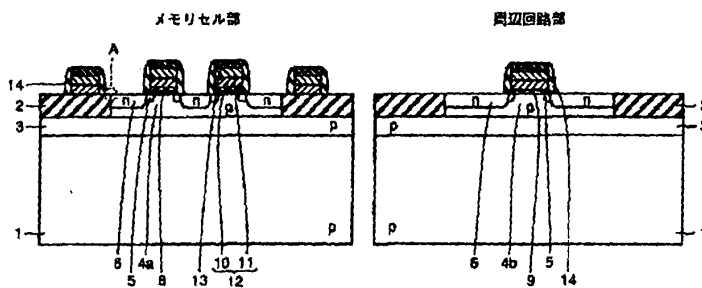
【図4】



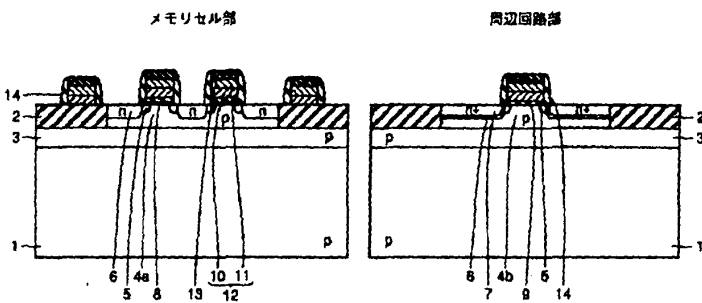
【図5】



【図6】

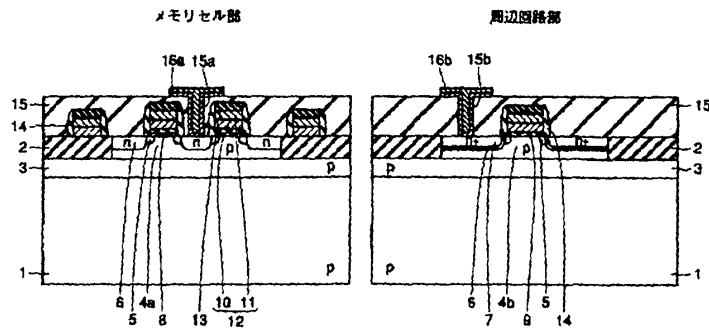


【図7】

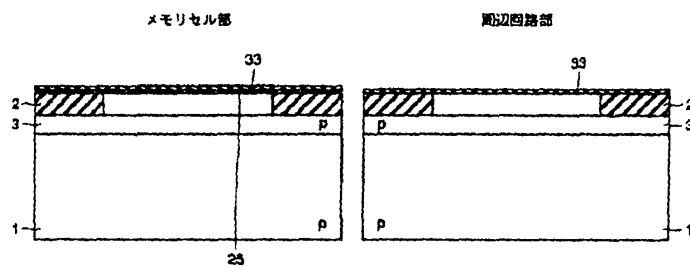


(15)

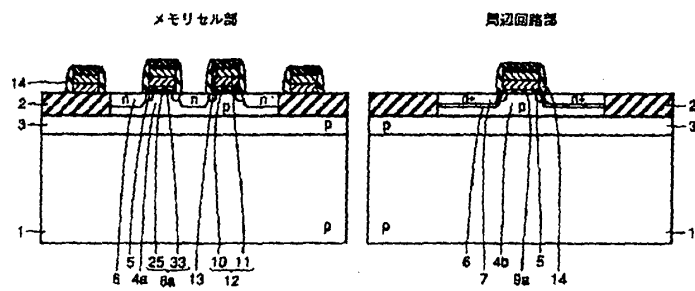
【図8】



【図9】



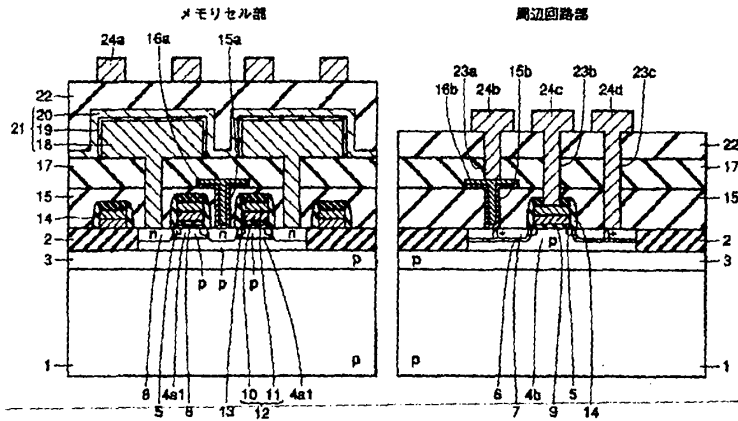
【図10】



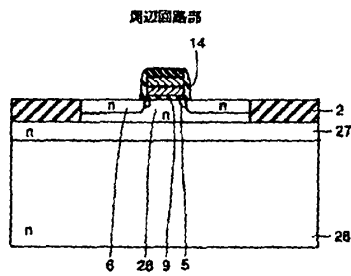


(16)

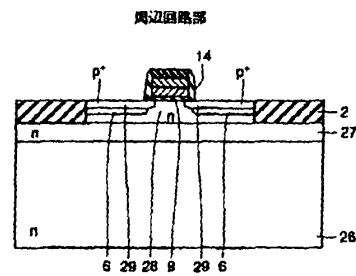
【図11】



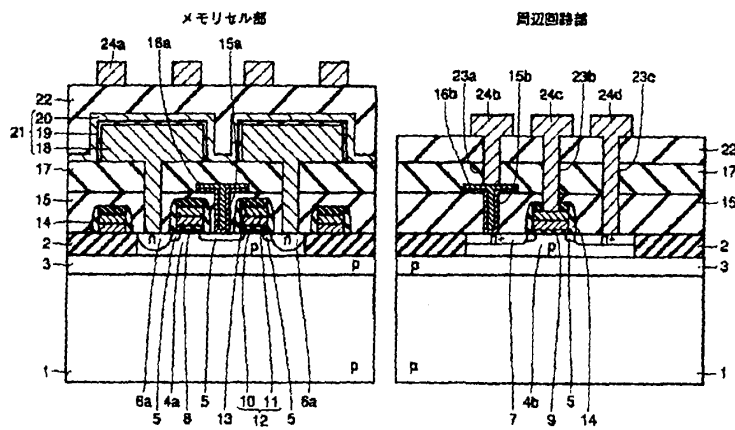
【図12】



【図13】

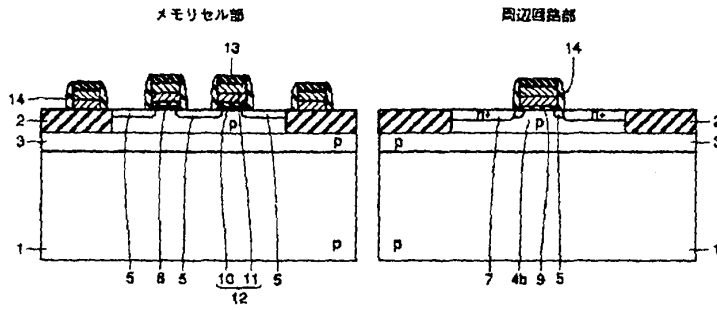


【図14】

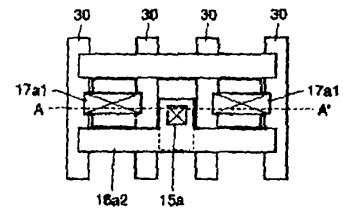


(17)

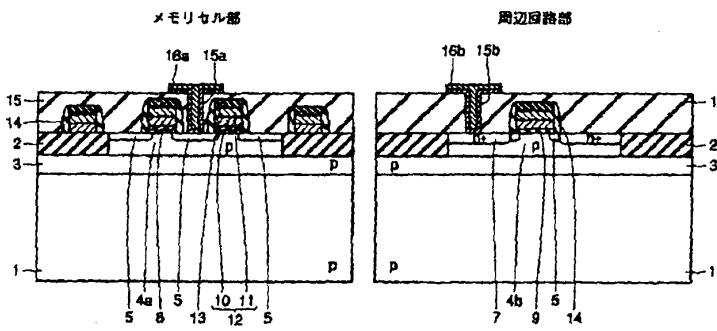
【図15】



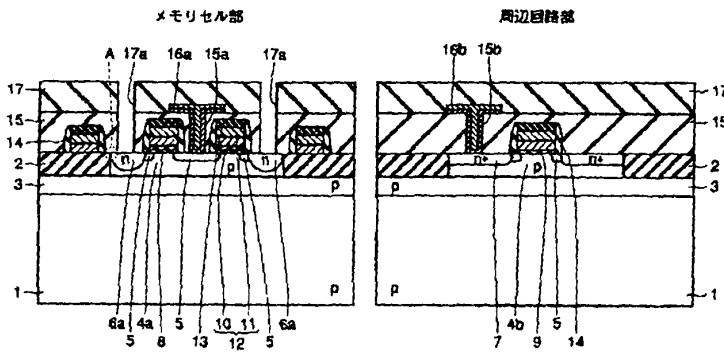
【図34】



【図16】

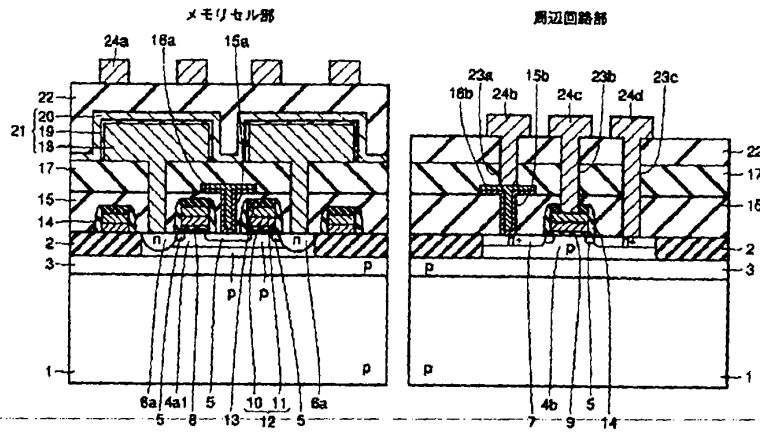


【図17】

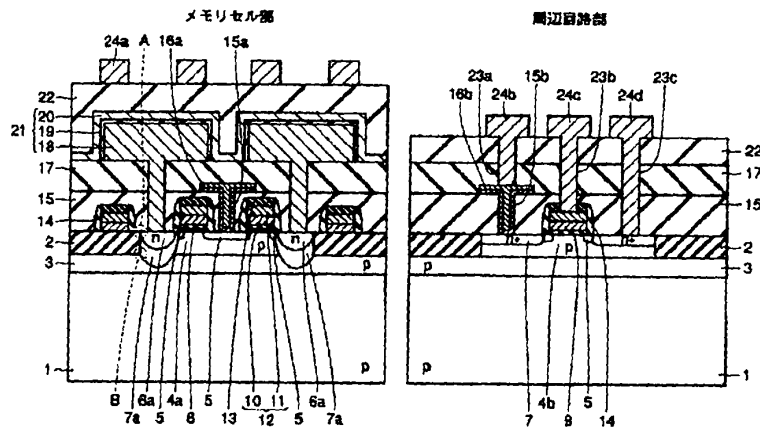


(18)

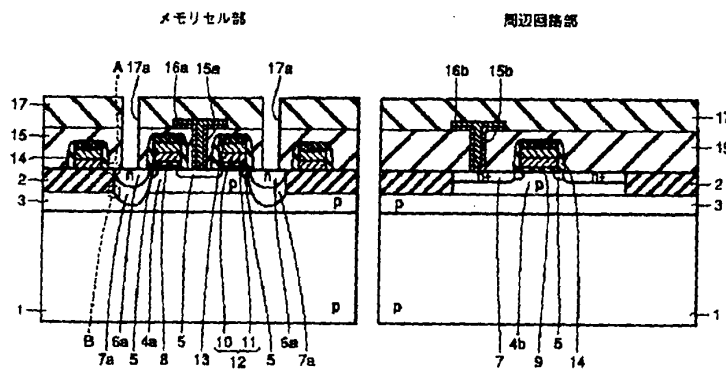
【図18】



【図19】

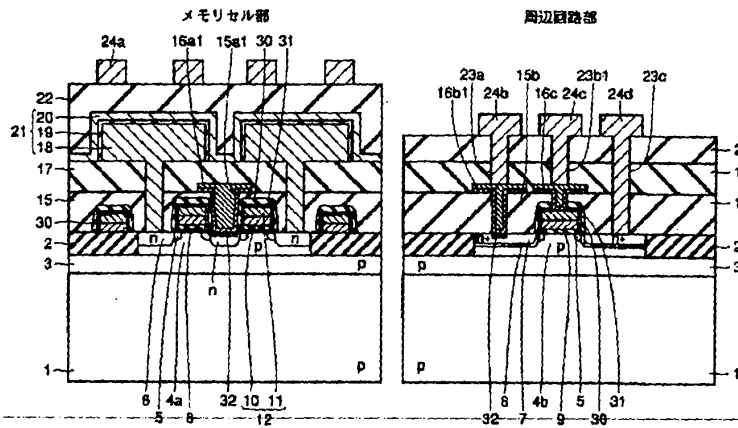


【図20】

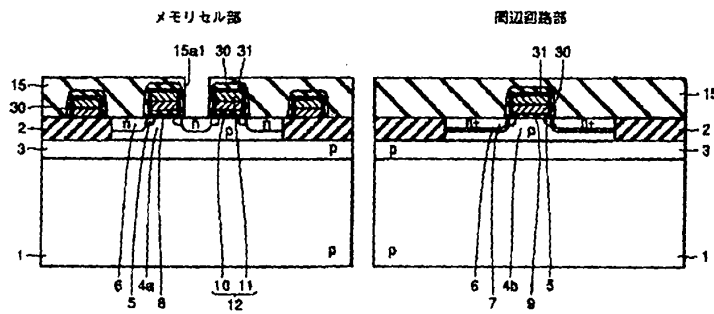


(19)

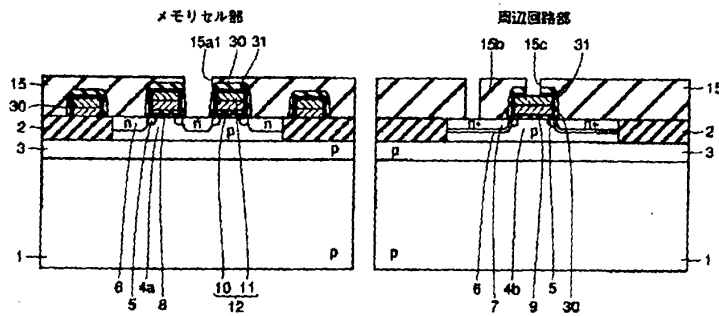
【図21】



【図22】

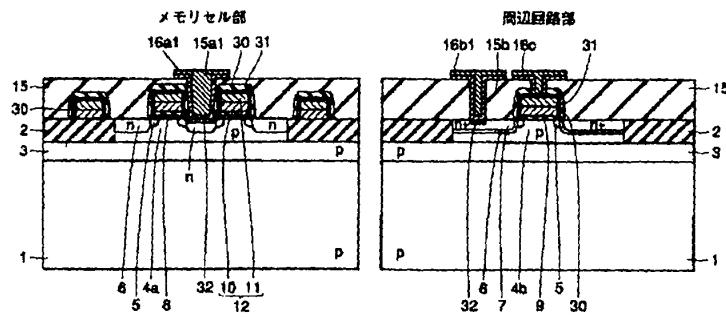


【図23】

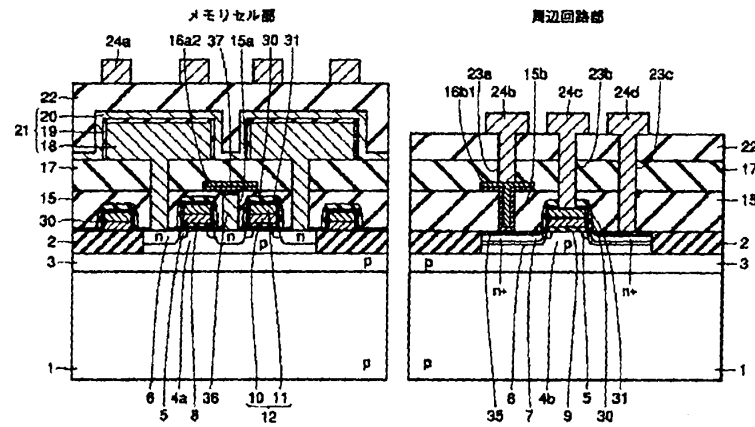


(20)

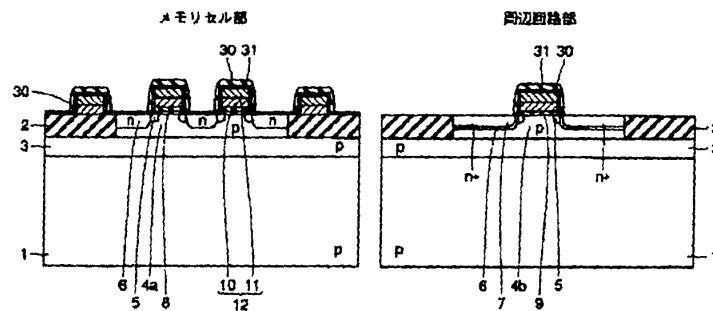
【図24】



【図25】

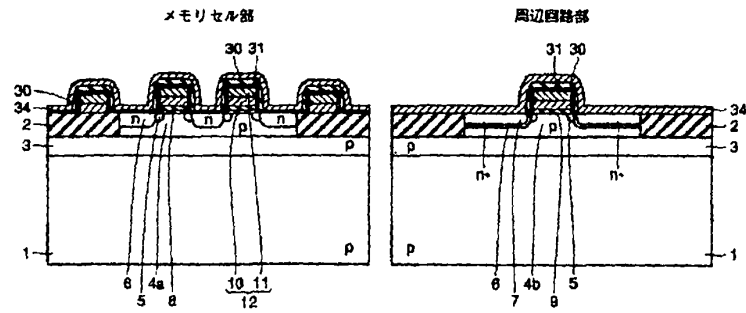


【図26】

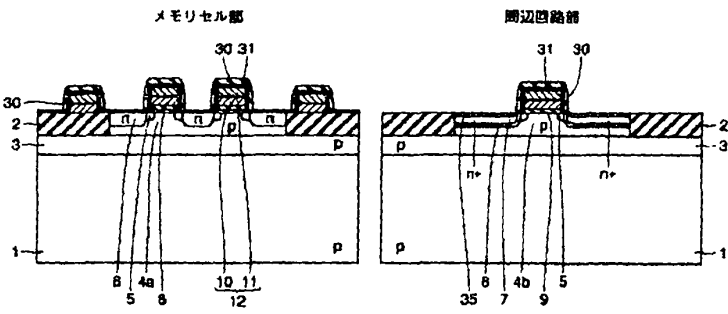


(21)

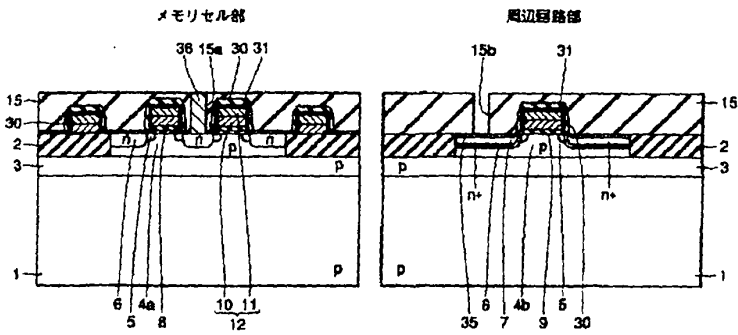
【図27】



【図28】

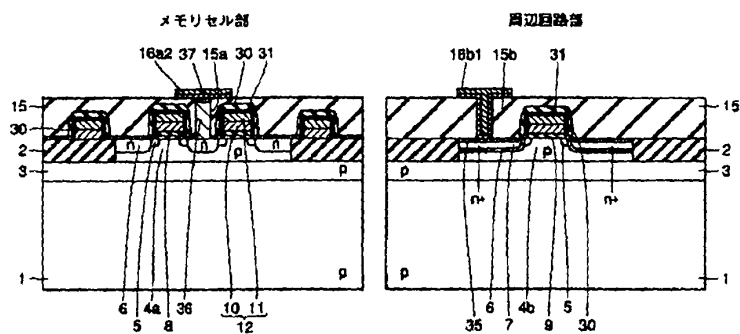


【図29】

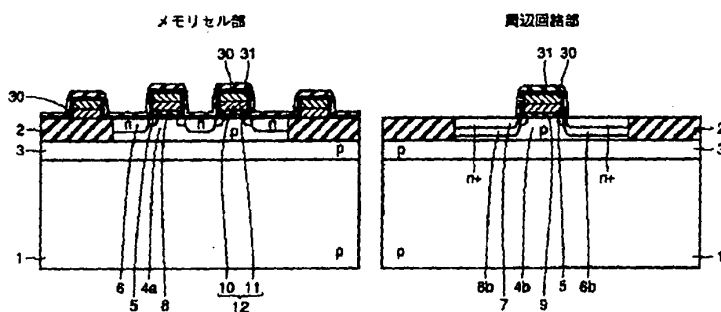


(22)

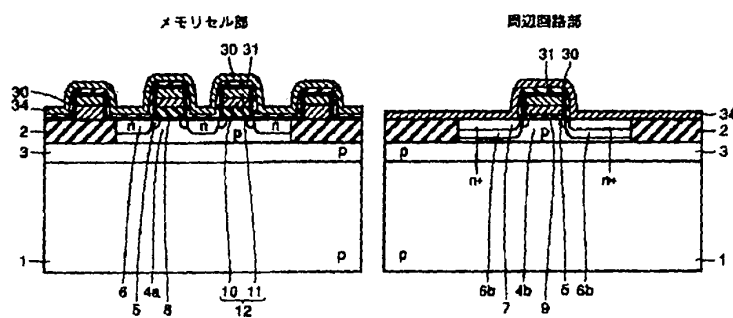
【図30】



【図31】

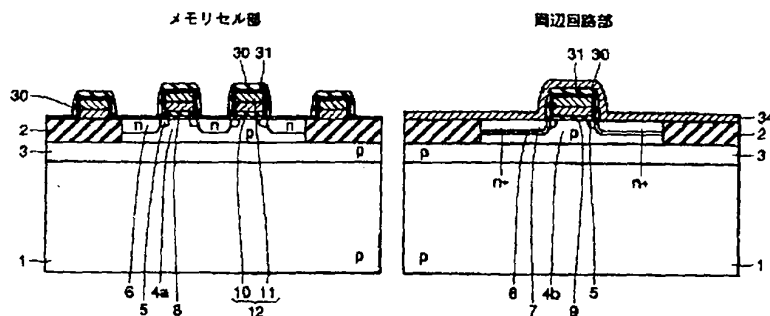


【図32】

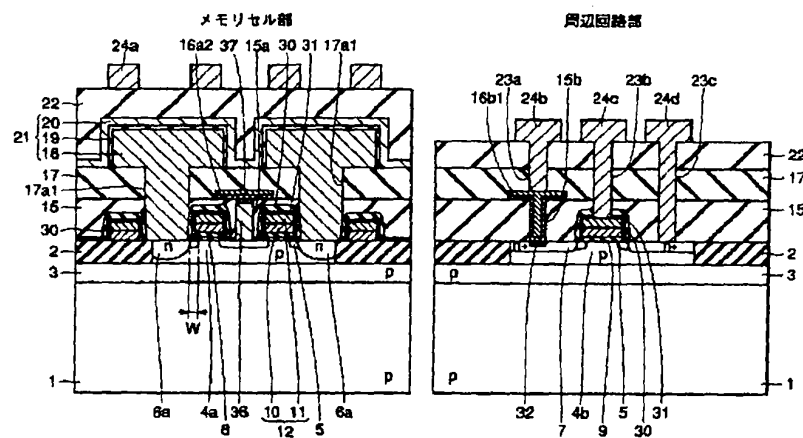


(23)

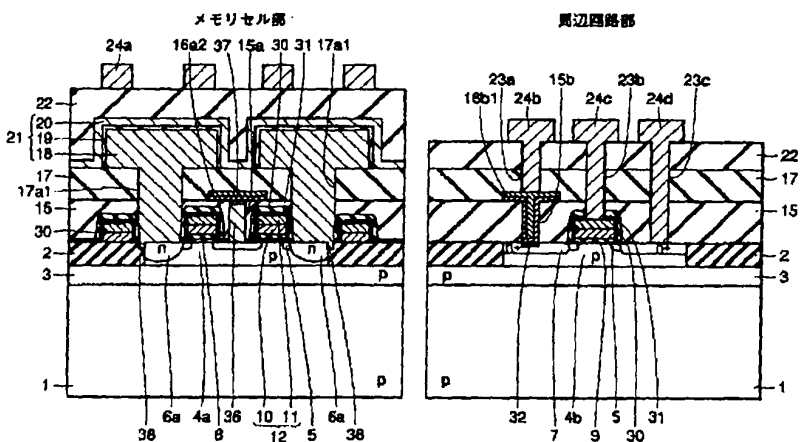
【図33】



【図35】



【図36】





(24)

【図37】

